



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 32 565 A 1**

⑤1 Int. Cl.⁶:
H 04 B 1/48
H 03 K 17/687
// H03F 3/195

②1 Aktenzeichen: 198 32 565.7
②2 Anmeldetag: 20. 7. 98
④3 Offenlegungstag: 5. 8. 99

③0 Unionspriorität:
P 10-6468 16. 01. 98 JP

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:
WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,
KAISER, POLTE, Partnerschaft, 85354 Freising

⑦2 Erfinder:
Yamamoto, Kazuya, Tokio/Tokyo, JP; Moriwaki,
Takao, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Mit einem Verstärker und einer Impedanzanpassungsspule ausgestattete Duplexerschaltung

⑤7 Es wird eine im Vergleich mit dem Stand der Technik komplexe Duplexerschaltungsvorrichtung bereitgestellt. Die Duplexerschaltungsvorrichtung enthält (a) eine Sendezweigschaltung, welche eine Umschalteschaltung enthält, die zwischen einem Sender und einer Antenne angeschlossen ist und während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist und (b) eine Empfangszweigschaltung, welche eine zweite Umschalteschaltung enthält, die zwischen einem Empfänger und der Antenne angeschlossen ist und während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist. Bei der Duplexerschaltungsvorrichtung ist entweder der Sender oder der Empfänger selektiv an die Antenne angeschlossen, und die Sendezweigschaltung enthält einen Kaskodenverstärker und eine Impedanzanpassungsspule, welche zwischen dem Kaskodenverstärker und der Antenne angeschlossen ist. In diesem Fall kann der Kaskodenverstärker durch einen Verstärker mit geerdetem Source ersetzt werden, welcher lediglich durch den FET gebildet wird.

DE 198 32 565 A 1

DE 198 32 565 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine Duplexerschaltung zum selektiven Verbinden entweder eines Senders oder eines Empfängers mit einer Antenne und insbesondere eine Duplexerschaltung mit einer Ausgangsstufe eines integrierten Kaskodenverstärkers.

Herkömmlicherweise wurden GaAs-Duplexerschaltungen häufig in tragbaren Telefonen und dergleichen verwendet. Fig. 11 zeigt ein Schaltungsdiagramm einer Duplexerschaltung eines seriellen und parallelen Typs nach dem Stand der Technik.

Entsprechend Fig. 11 bezeichnen Bezugszeichen F_1 bis F_4 Feldeffekttransistoren eines Verarmungstyps für einen Duplexer (Feldeffekttransistoren werden im folgenden mit FET bzw. FET's bezeichnet), während Bezugszeichen R_{d1} bis R_{d4} Widerstände mit einem Widerstandswert im Kilohmbereich bezeichnen, welche dafür sorgen, daß die Drain- und Sourceelektroden der FET's äquivalente elektrische Potentiale oder Spannungen besitzen. Die Bezugszeichen R_{g1} bis R_{g4} bezeichnen Gatewiderstände mit Widerstandswerten im Kilohmbereich der FET's, während Bezugszeichen C_1 bis C_4 Kondensatoren zum gleichstrommäßigen Abtrennen der Sourceelektroden der FET's F_1 bis F_4 von Masse bezeichnen, wobei die Sourceelektroden bezüglich einer Hochfrequenz geerdet sind.

In der Beschreibung bedeutet ein gleichstrommäßiges Abtrennen bzw. ein Abtrennen A von B bezüglich Gleichstrom, daß der Gleichstrom nicht zwischen A und B fließt, und Erden von A bezüglich einer Hochfrequenz bedeutet, daß ein Hochfrequenzsignal von A zur Masse fließt.

Bezugszeichen 1 bezeichnet einen Senderverbindungsanschluß, Bezugszeichen 2 bezeichnet einen Empfängerverbindungsanschluß, und Bezugszeichen 3 bezeichnet einen Antennenverbindungsanschluß. Bezugszeichen 4 und 5 bezeichnen Anschlüsse, an welche Steuerspannungen V_{TX} und V_{RX} für ein Umschalten zwischen der Sendung bzw. dem Empfang angelegt werden. Des weiteren ist der Senderverbindungsanschluß 1 mit einer Pull-up-Spannung V_{UP} über einen Pull-up-Widerstand R_{UP} mit einem Widerstandswert im Kilohmbereich verbunden, um das elektrische Potential oder die Spannung einer zwischen den Anschlüssen 1 und 3 lokalisierten Sendezweigschaltung ebenso wie das elektrische Potential oder die Spannung einer zwischen den Anschlüssen 2 und 3 lokalisierten Empfangszweigschaltung nach oben zu ziehen, wodurch es ermöglicht wird, daß die Duplexerschaltung durch eine Steuerspannung gesteuert wird, welche einen positiven Wert oder 0 Volt aufweist. Ein Betrieb der Duplexerschaltung ist in Tabelle 1 dargestellt.

Tabelle 1

Erster bekannter Stand der Technik

	V_{UP}	V_{TX}	V_{RX}
35 Sendebetriebsart	V_{DD}	V_{DD}	0 V
Empfangsbetriebsart	V_{DD}	0 V	V_{DD}

Aus Tabelle 1 ist ersichtlich, daß während der Sendung die Pull-up-Spannung V_{UP} und die Steuerspannung V_{TX} auf die Versorgungsspannung V_{DD} der FET's F_1 und F_4 festgelegt sind, während die Steuerspannung V_{RX} auf 0 V festgelegt ist, um die FET's F_1 und F_3 auszuschalten und die FET's F_2 und F_4 einzuschalten, so daß ein von dem Sender über den Anschluß 1 eingegebenes Hochfrequenzsignal über den FET F_2 und den Anschluß 3 der Antenne 103 gesendet wird. In dieser Stufe befinden sich der FET F_3 in einem gesperrten Zustand und der FET F_4 in einem leitenden Zustand, daher wird kein Hochfrequenzsendesignal von dem Sender 101 dem Empfänger 102 gesendet. Während des Empfangs sind die Pull-up-Spannung V_{UP} und die Steuerspannung V_{RX} auf die Versorgungsspannung V_{DD} der FET's F_1 und F_4 festgelegt, während die Steuerspannung V_{TX} auf 0 V festgelegt ist, um die FET's F_2 und F_4 auszuschalten und die FET's F_1 und F_3 einzuschalten, so daß das Hochfrequenzsignal, welches von der Antenne 103 empfangen und über den Anschluß 3 eingegeben wurde, über den FET F_3 und den Anschluß 2 dem Empfänger 102 gesendet wird. In dieser Stufe befinden sich der FET F_2 in einem gesperrten Zustand und der FET F_1 in einem leitenden Zustand, daher wird das Hochfrequenzempfangssignal nicht von der Antenne 103 dem Empfänger 101 gesendet. In diesem Fall wird jede der Abschnürspannungen V_p der FET's F_1 bis F_4 auf einen niedrigeren Wert als denjenigen der Versorgungsspannung V_{DD} festgelegt.

Fig. 12 zeigt ein Schaltungsdiagramm, welches die Anordnung eines Kaskodenleistungsverstärkers eines zweiten bekannten Stands der Technik darstellt.

Entsprechend Fig. 12 bezeichnen Bezugszeichen F_1 und F_2 FET's eines Verarmungstyps für die Leistungsverstärkung, Bezugszeichen R_{g1} und R_{g2} bezeichnen Gatewiderstände zum Anlegen einer Gatespannung an die FET's F_1 und F_2 , während Bezugszeichen C_{g1} und C_{g2} Hochfrequenzüberbrückungskondensatoren bezeichnen. Die Bezugszeichen L_d und C_d bezeichnen eine Spule und einen Kondensator, welche eine Ausgangsimpedanzanpassungsschaltung des Kaskodenleistungsverstärkers bilden, Bezugszeichen C_1 und C_2 bezeichnen Hochfrequenzkopplungskondensatoren, und Bezugszeichen L_{d2} bezeichnet eine Hochfrequenzblockierspuleinduktivität zum Zuführen einer Spannung. Bezugszeichen 81 bezeichnet einen Eingangsanschluß, welchem ein zu verstärkendes Hochfrequenzsignal eingegeben wird, während Bezugszeichen 82 einen Ausgangsanschluß zum Ausgeben eines nach der Verstärkung erhaltenen Hochfrequenzsignals bezeichnet. Des weiteren bezeichnet Bezugszeichen V_{d2} eine Versorgungsspannung, und die Bezugszeichen V_{g1} und V_{g2} bezeichnen an die FET's F_1 bzw. F_2 anzulegende Gatespannungen.

Es wird festgestellt, daß der GaAs-Kaskodenleistungsverstärker üblicherweise eine komplizierte Struktur oder Schaltung aufweist und eine höhere Spannung erfordert, um die verlangte Spannung auszugeben. Daher wird der GaAs-Kas-

kodenleistungsverstärker selten in der Endstufe eines Leistungsverstärkers verwendet, und es wird häufig eine Verstärkerschaltung mit einem FET, dessen Source geerdet ist, verwendet, welche lediglich durch den FET F_1 gebildet wird und durch Entfernen des FET's F_2 aus der in Fig. 12 dargestellten Schaltung erlangt wird.

In einem Fall jedoch, bei welchem der in Fig. 12 dargestellte Leistungsverstärker und die in Fig. II dargestellte Duplexerschaltung auf einem identischen Chip integriert sind, trat bei der Duplexerschaltung nach dem Stand der Technik, welche durch Verbinden des in Fig. 1 dargestellten Anschlusses 1 mit dem in Fig. 12 dargestellten Anschluß 82 gebildet wird, die Schwierigkeit auf, daß die Schaltungsdimensionen relativ groß wurden. Mit anderen Worten, wenn der in Fig. 12 dargestellte Leistungsverstärker und die in Fig. 11 dargestellte Duplexerschaltung ohne Modifizierung integriert werden steigen die Schaltungsdimensionen weiter an, was dazu führt, daß die Schaltung nicht kompakt ausgebildet werden kann.

Aufgabe der vorliegenden Erfindung ist es, die oben beschriebenen Schwierigkeiten zu lösen und eine Duplexerschaltung bereitzustellen, welche kompakt ausgebildet werden kann.

Die Lösung der Aufgabe erfolgt durch die Merkmale der unabhängigen nebengeordneten Ansprüche.

Entsprechend einem ersten Gesichtspunkt der vorliegenden Erfindung wird eine Duplexerschaltung bereitgestellt mit: einer Sendezweigschaltung, welche zwischen einem Sender und einer Antenne angeschlossen ist, wobei die Sendezweigschaltung eine erste Umschalteschaltung enthält, welche während der Sendung eingeschaltet ist und während des Empfangs ausgeschaltet ist; und einer Empfangszweigschaltung, welche zwischen einem Empfänger und der Antenne angeschlossen ist, wobei die Empfangszweigschaltung eine zweite Umschalteschaltung enthält, welche während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist, wobei entweder der Sender oder der Empfänger selektiv an die Antenne angeschlossen ist, wobei die Sendezweigschaltung: einen Kaskodenleistungsverstärker; und eine Impedanzanpassungsspule aufweist, welche zwischen dem Kaskodenleistungsverstärker und der Antenne angeschlossen ist.

Entsprechend einem weiteren Gesichtspunkt der vorliegenden Erfindung wird eine Duplexerschaltung bereitgestellt mit:

einer Sendezweigschaltung, die zwischen einem Sender und einer Antenne angeschlossen ist, wobei die Sendezweigschaltung eine erste Umschalteschaltung enthält, welche während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und

einer Empfangszweigschaltung, welche zwischen einem Empfänger und der Antenne angeschlossen ist, wobei die Empfangszweigschaltung eine zweite Umschalteschaltung enthält, welche während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist,

wobei entweder der Sender oder der Empfänger selektiv an die Antenne angeschlossen ist,

wobei die Sendezweigschaltung:

einen Verstärker mit geerdetem Source; und

eine Impedanzanpassungsspule aufweist, welche zwischen dem Verstärker mit geerdetem Source und der Antenne angeschlossen ist.

Bei der oben beschriebenen Duplexerschaltung enthält die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel zueinander angeschlossen sind, wobei jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs abgeschaltet wird bzw. ist.

Bei der oben beschriebenen Duplexerschaltung enthält die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, die in Serie miteinander verbunden sind, wobei jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

Bei der oben beschriebenen Duplexerschaltung enthält die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, die parallel und in Serie miteinander verbunden sind, wobei jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird bzw. ist.

Entsprechend einem weiteren Gesichtspunkt der vorliegenden Erfindung wird eine Duplexerschaltung zum selektiven Verbinden entweder eines ersten oder zweiten Senders oder eines Empfängers mit einer Antenne bereitgestellt mit:

einer ersten Sendezweigschaltung, welche zwischen dem ersten Sender und der Antenne angeschlossen ist, wobei die erste Sendezweigschaltung eine erste Umschalteschaltung enthält, welche während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und

einer zweiten Sendezweigschaltung, welche zwischen dem zweiten Sender und der Antenne angeschlossen ist, wobei die zweite Sendezweigschaltung eine zweite Umschalteschaltung enthält, welche während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und

einer Empfangszweigschaltung, welche zwischen dem Empfänger und der Antenne angeschlossen ist, wobei die Empfangszweigschaltung eine dritte Umschalteschaltung enthält, welche während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist,

wobei jede der ersten und zweiten Sendezweigschaltungen:

einen Kaskodenleistungsverstärker; und

eine Impedanzanpassungsspule aufweist, welche zwischen dem Kaskodenleistungsverstärker und der Antenne angeschlossen ist.

Bei der oben beschriebenen Duplexerschaltung enthält die dritte Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel zueinander angeschlossen sind, wobei die FET's derart betrieben werden, daß sie während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden.

Bei der oben beschriebenen Duplexerschaltung enthält die dritte Umschalteschaltung eine Mehrzahl von FET's, die in Serie miteinander verbunden sind, wobei jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird bzw. ist.

Dementsprechend kann durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße spürbar in dem Chip verringert werden, welcher durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangt wird, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung verringert werden. Des weiteren kann die Impedanzanpassung der Antenne an den Empfänger leichter erzielt werden.

Die vorliegende Erfindung wird in der nachfolgenden Beschreibung unter Bezugnahme auf die Zeichnung erläutert, wobei ähnliche Teile mit ähnlichen Bezugszeichen versehen sind.

Fig. 1 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 2 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 3 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 4 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer vierten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 5 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer fünften bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 6 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer sechsten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 7 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer siebten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 8 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer achten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 9 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer neunten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 10 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer zehnten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 11 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung eines ersten bekannten Stands der Technik darstellt; und

Fig. 12 zeigt ein Schaltungsdiagramm einer Struktur eines Kaskodenleistungsverstärkers eines zweiten bekannten Stands der Technik.

Bevorzugte Ausführungsformen der Erfindung werden unten unter Bezugnahme auf die Figuren beschrieben.

Erste bevorzugte Ausführungsform

Fig. 1 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. In Fig. 1 werden Komponenten ähnlich den in Fig. 11 und Fig. 12 dargestellten Komponenten mit denselben Bezugszeichen bezeichnet.

Die Duplexerschaltung der vorliegenden bevorzugten Ausführungsform ist dadurch charakterisiert, daß der in Fig. 12 dargestellte Kaskodenleistungsverstärker und eine Impedanzanpassungsspule bzw. -induktivität L_d in eine Sendezweigschaltung eingesetzt sind, die zwischen einem Senderverbindungsanschluß 1 und einem Antennenverbindungsanschluß 3 lokalisiert ist.

Entsprechend Fig. 1 enthält die zwischen dem Anschluß 1 und dem Anschluß 3 lokalisierte Sendezweigschaltung eine erste Umschalteschaltung, welche während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist, während die zwischen dem Anschluß 2 und dem Anschluß 3 lokalisierte Empfangszweigschaltung eine zweite Umschalteschaltung enthält, die während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist. In diesem Fall ist die erste Umschalteschaltung durch einen Kaskodenleistungsverstärker gebildet, während die zweite Umschalteschaltung durch die Empfangszweigschaltung nach dem ersten bekannten Stand der Technik gebildet ist.

Die Bezugszeichen der FET's F_1 bis F_4 bezeichnen FET's eines Verarmungstyps, während die Bezugszeichen R_{d2} , R_{d3} und R_{d4} Widerstände mit einem Widerstandswert im Kilohmbereich bezeichnen, wobei die Widerstände R_{d2} , R_{d3} und R_{d4} zwischen den Drain- und Sourceelektroden der FET's F_2 , F_3 bzw. F_4 angeschlossen sind, so daß der Drain und das Source jedes der FET's F_2 , F_3 und F_4 äquivalente elektrische Potentiale oder Spannungen zueinander besitzen. Die Bezugszeichen R_{g1} , R_{g2} , R_{g3} und R_{g4} bezeichnen eine Gatespannung anlegende Widerstände, welche jeweils einen Widerstandswert im Kilohmbereich zum Anlegen einer Gatespannung an das Gate jedes der FET's F_1 bis F_4 aufweist, während die Bezugszeichen C_1 und C_2 Hochfrequenzüberbrückungskondensatoren bezeichnen und Bezugszeichen C_4 einen Kondensator zum Erden des Source des FET's F_4 bezüglich einer Hochfrequenz bezeichnet. Bezugszeichen L_d bezeichnet eine Impedanzanpassungsinduktivität zum Erzielen einer Impedanzanpassung der Ausgangsstufe des Kaskodenleistungsverstärkers mit der Antenne 103. Bezugszeichen C_6 , C_4 und C_7 bezeichnen Hochfrequenzkopplungskondensatoren, während Bezugszeichen L_{d2} eine Hochfrequenzblockierspule bzw. -induktivität für die Versorgungsspannung bezeichnet. Des weiteren bezeichnet Bezugszeichen V_{d2} eine Spannungsquelle, während Bezugszeichen V_{g1} bis V_{g4} die Gatespannungen der FET's F_1 bis F_4 jeweils bezeichnen. Des weiteren ist ein Ende des Kondensators C_7 mit dem Empfängerverbindungsanschluß 2 verbunden, und das andere Ende davon ist an eine Pull-up-Spannung V_{UP} über einen Pull-up-Widerstand R_{UP} angeschlossen, welcher einen Widerstandswert im Kilohmbereich aufweist, zum Nachobenziehen des elektrischen Potentials oder der Spannung der zwischen dem Sendeverbindungsanschluß 1 und dem Antennenverbindungsanschluß 3 lokalisierten Sendezweigschaltung ebenso wie des elektrischen Potentials oder der Spannung der zwischen den Anschlüssen 2 und 3 lokalisierten Empfangszweigschaltung; wodurch es der Duplexerschaltung ermöglicht wird, durch eine Steuerspannung eines positiven Werts oder eines Werts von 0 V gesteuert zu werden.

Bei der in Fig. 1 dargestellten Sendezweigschaltung ist der Senderverbindungsanschluß 1, an welchem ein Sender 101 angeschlossen ist, über den Kopplungskondensator C_1 mit dem FET F_1 verbunden, dessen Source geerdet ist, und das

Gate ist über den Gatespannung anlegenden Widerstand R_{g1} mit einem Gatespannung anlegenden Anschluß 11 verbunden. Der Anschluß 11 ist über einen Hochfrequenzüberbrückungskondensator C_1 geerdet. Der Drain des FET's F_1 ist mit einem Verbindungspunkt 4 über das Source und den Drain des FET's F_2 , einen Verbindungspunkt 5 und die Impedanzanpassungsinduktivität L_{d1} verbunden, und der Verbindungspunkt 4 ist über einen Kopplungskondensator C_4 mit einem Antennenverbindungsanschluß 3 verbunden, an welchen die Antenne 103 angeschlossen ist. Das Gate des FET's F_2 ist mit einem Gatespannung anlegenden Anschluß 12 über den Gatespannung anlegenden Widerstand R_{g2} verbunden, und das Gate davon ist bezüglich einer Hochfrequenz über einen Hochfrequenzüberbrückungskondensator C_2 geerdet. In diesem Fall ist der zwischen dem Drain des FET's F_2 und der Induktivität L_{d1} lokalisierte Verbindungspunkt 5 über eine Hochfrequenzblockierinduktivität L_{d2} mit einer Versorgungsspannung anlegenden Anschluß 22 verbunden.

Demgegenüber ist bei der in Fig. 1 dargestellten Empfangszweigschaltung der Verbindungspunkt 4 über den Drain und das Source des FET's F_3 , einen Verbindungspunkt 6 und einen Kopplungskondensator C_1 mit dem Empfängerverbindungsanschluß 2 verbunden, an welchen der Empfänger 102 angeschlossen ist. In diesem Fall ist das Gate des FET's F_3 über den Gatespannung anlegenden Widerstand R_{g3} mit einem Gatespannung anlegenden Anschluß 13 verbunden, während das Gate des FET's F_4 über den Gatespannung anlegenden Widerstand R_{g4} mit einem Gatespannung anlegenden Anschluß 14 verbunden ist. Der Verbindungspunkt 6 ist über den Drain und das Source des FET's F_4 und einen Kopplungskondensator C_4 geerdet. Der Verbindungspunkt 6 ist über den pull-up-Widerstand R_{UP} mit einer Spannungsquelle zum Zuführen der Pull-up-Spannung V_{UP} verbunden.

Tabelle 2 stellt die Pull-up-Spannung V_{UP} und die an die Gatespannung angelegenden Anschlüsse 11 bis 14 anzulegenden Spannungen in der Sendebetriebsart und der Empfangsbetriebsart der Duplexerschaltung dar. Bezugszeichen V_{dd} bezeichnet eine Versorgungsspannung, und Bezugszeichen V_{ga} und V_{gb} bezeichnen Gatespannungen, welche zum Betrieb jedes der FET's F_1 und F_2 als Spannungsverstärker erfordert wird, wobei in diesem Fall die Beziehungen $V_p < V_{ga} < 0$ V und $V_p < V_{gb} < 0$ V erfüllt werden. Es wird angenommen, daß die Abschnürspannung V_p jedes der FET's F_1 und F_2 kleiner als die Versorgungsspannung V_{dd} ist. Diese Bedingungen werden auf eine Weise festgelegt, die ähnlich zu derjenigen der später beschriebenen bevorzugten Ausführungsformen ist.

Tabelle 2

Erste bevorzugte Ausführungsform					
	V_{UP}	V_{g1}	V_{g2}	V_{g3}	V_{g4}
Sendebetriebsart	V_{DD}	V_{ga}	V_{gb}	0 V	V_{DD}
Empfangsbetriebsart	V_{DD}	V_{ga}	0 V	V_{DD}	0 V

Entsprechend Fig. 1 bilden der FET F_1 und der FET F_2 einen Kaskodenspannungsverstärker, welcher als Ausgangsstufe des Leistungsverstärkers arbeitet. Als Ergebnis wird ein Leistungsverlust in der Sendezweigschaltung nach dem in Fig. 11 dargestellten ersten bekannten Stand der Technik im wesentlichen zu null, so daß der Einfügungsverlust in den Umschalteschaltungen reduziert wird. In diesem Fall werden eine Spule bzw. Induktivität L_{d3} zwischen dem Source und Drain des FET's F_3 und die Gatebreite des FET's F_3 derart bestimmt und festgelegt, daß die Ausgangsimpedanzanpassung des Leistungsverstärkers durch die Spule L_{d1} mit einer Induktivität im Nanohenrybereich und einer Kapazität C_3 im Pikofaradbereich des FET's F_3 erzielt werden. Ein Ende des Kondensators C_3 im gesperrten Zustand ist bezüglich einer Hochfrequenz durch Einschalten des FET's F_4 geerdet, und daher arbeitet der Kondensator C_3 im gesperrten Zustand ähnlich wie der in Fig. 12 dargestellt Kondensator C_d .

Während des Empfangs ist die Gatespannung V_{g2} auf 0 V festgelegt, wodurch der FET F_2 ausgeschaltet ist. Des weiteren wird durch Einschalten des FET's F_3 und durch Ausschalten des FET's F_4 das durch die Antenne 103 empfangene Hochfrequenzsignal über die FET's F_3 und F_4 dem Empfänger 102 gesendet und erscheint kaum am Anschluß 1.

Wie oben bezüglich der ersten bevorzugten Ausführungsform beschrieben kann durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße spürbar in dem Chip reduziert werden, welcher durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangt wird, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden.

Zweite bevorzugte Ausführungsform

Fig. 2 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die zweite bevorzugte Ausführungsform ist dahingehend charakterisiert, daß bei der in Fig. 1 dargestellten ersten bevorzugten Ausführungsform der FET F_2 mit geerdetem Gate und dessen periphere Schaltung (Widerstand R_{d2} , Widerstand R_{g2} und der Kondensator C_2) entfernt sind und die Sendezweigschaltung mit einem durch den FET F_1 gebildeten Verstärker mit geerdetem Source versehen ist.

Bei der Duplexerschaltung der wie oben beschrieben strukturierten zweiten bevorzugten Ausführungsform ist die Isolierung zwischen der Antenne 103 und dem Sender 101 während des Empfangs im Vergleich mit derjenigen der Struktur der in Fig. 1 dargestellten ersten bevorzugten Ausführungsform reduziert, jedoch besitzt die vorliegende Schaltung einen vorteilhaften Effekt dahingehend, daß die vorliegende Schaltung kompakter als die Struktur der ersten bevorzugten Ausführungsform ausgebildet werden kann.

Tabelle 3 stellt die Pull-up-Spannung V_{UP} der an die Gatespannung angelegenden Anschlüsse 11, 13 und 14 anzulegenden

den Spannungen in der Sendebetriebsart und der Empfangsbetriebsart der Duplexerschaltung dar. Wie in Tabelle 3 dargestellt wird es erfordert, den FET F_1 vollständig in die Abschnürstufe durch Festlegen der Gatespannung V_{g1} auf eine bestimmte Gatespannung V_{gp} zu versetzen, die niedriger als die Abschnürspannung V_p des FET's während des Empfangs ist.

Tabelle 3

Zweite bevorzugte Ausführungsform

10		V_{UP}	V_{g1}	-	V_{g3}	V_{g4}
	Sendebe-	V_{DD}	V_{ga}	-	0 V	V_{DD}
	triebsart					
15	Empfangs-	V_{DD}	V_{gp}	-	V_{DD}	0 V
	betriebs-					
	art					

Wie oben bezüglich der zweiten bevorzugten Ausführungsform beschrieben kann durch Aufnahme des Kaskodenleistungsverstärkers, aus welchem der FET F_2 mit geerdetem Gate und dessen Periphere Schaltung entfernt sind, d. h. der Verstärker mit geerdetem Source des FET's F_1 , in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des Chips spürbar reduziert werden, welcher durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangt wird, und es kann der Einfügeverlust während der Sendung der Duplexerschaltung reduziert werden.

Dritte bevorzugte Ausführungsform

Fig. 3 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die dritte bevorzugte Ausführungsform basiert auf der in Fig. 1 dargestellten ersten bevorzugten Ausführungsform und ist dadurch charakterisiert, daß das Source und der Drain eines FET's F_5 parallel mit dem Source bzw. Drain des FET's F_3 verbunden sind und das Gate des FET's F_5 über einen Gatespannung anlegenden Widerstand R_{g5} mit einem Gatespannung anlegenden Anschluß 15 verbunden ist.

Bei der in Fig. 3 dargestellten Duplexerschaltung kann durch Ändern einer Gatespannung V_{g5} eine Kapazität bzw. ein Kondensator C_5 im gesperrten Zustand des FET's F_5 gesteuert werden. Üblicherweise ist die Kapazität im gesperrten Zustand eines FET's oft kleiner als die für die Anpassung des Leistungsverstärkers verlangte Kapazität, und die elektrostatische Kapazität der Kapazität im gesperrten Zustand C_3 für die Impedanzanpassung kann erhöht werden, und danach kann die Impedanzanpassung des FET's F_1 und des FET's F_2 , welche eine große Gatebreite für einen großen Ausgang aufweisen, leicht erzielt werden. Durch Festlegen eines impedanzangepaßten Zustands kann entweder (a) ein leistungs- bzw. spannungsangepaßter Zustand, bei welchem die Impedanzanpassung zum Erlangen einer großen Leistung bzw. Spannung erzielt wird, oder (b) ein effizienzangepaßter Zustand festgelegt werden, bei welchem die Impedanzanpassung zum Erlangen einer größeren Effizienz erzielt wird.

Tabelle 4 zeigt die Pull-up-Spannung V_{UP} und die an die Gatespannung anlegenden Anschlüsse 11 bis 15 anzulegenden Spannungen in der Sendebetriebsart und der Empfangsbetriebsart der Duplexerschaltung.

Tabelle 4

Dritte bevorzugte Ausführungsform

50		V_{UP}	V_{g1}	V_{g2}	V_{g3}	V_{g4}	V_{g5}
	Sendebe-	V_{DD}	V_{ga}	V_{gb}	0V	V_{DD}	gleich oder kleiner
	triebsart						als V_{gp}
55	Empfangsbe-	V_{DD}	V_{ga}	0V	V_{DD}	0V	V_{DD} , oder gleich
	triebsart						oder kleiner als V_{gp}

Wie oben beschrieben kann bei der dritten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des Chips spürbar reduziert werden, welcher durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangt wird, und es kann der Einfügeverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne 103 mit dem Empfänger 102 leichter erzielt werden.

Obwohl die zwei FET's F_3 und F_5 parallel miteinander bei der oben beschriebenen dritten Ausführungsform verbunden sind, ist die vorliegende Erfindung nicht darauf beschränkt, und es kann eine Mehrzahl von FET's parallel mit dem FET F_3 verbunden werden.

Fig. 4 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer vierten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die vierte bevorzugte Ausführungsform ist dadurch charakterisiert, daß in die in Fig. 1 dargestellte erste bevorzugte Ausführungsform eine durch die drei FET's F_3 , F_3' und F_3'' gebildete Serienverbindungsschaltung anstelle des FET's F_3 eingesetzt wird. In diesem Fall ist der Verbindungspunkt 4 mit dem Verbindungspunkt 6 über den Drain und das Source des FET's F_3 , den Drain und das Source des FET's F_3' und den Drain und das Source des FET's F_3'' verbunden, und des weiteren sind die Gates der FET's F_3 , F_3' und F_3'' mit dem Gatespannung anlegenden Anschluß 13 über die Widerstände R_{g3} , $R_{g3'}$ bzw. $R_{g3''}$ verbunden. Es wird festgestellt, daß die Widerstände R_{d3} , $R_{d3'}$ und $R_{d3''}$ die Widerstände sind, welche über das Source und den Drain für die Bereitstellung eines gleichen Potentials oder einer Spannung über dem Source und Drain jedes der FET's F_3 , F_3' und F_3'' angeschlossen sind.

Tabelle 5 zeigt die Pull-up-Spannung V_{UP} und die an die Gatespannung anlegenden Anschlüsse 11 bis 14 anzulegenden Spannungen in der Sendebetriebsart und der Empfangsbetriebsart der Duplexerschaltung.

Tabelle 5

Fünfte bevorzugte Ausführungsform

	V_{UP}	V_{g1}	V_{g2}	V_{g3}	V_{g4}
Sendebe-	V_{DD}	V_{ga}	V_{gb}	0 V	V_{DD}
triebsart					
Empfangsbe-	V_{DD}	V_{ga}	0 V	V_{DD}	0 V
triebsart					

Üblicherweise wird ein Sendesignalleistungshandhabungsvermögen P (was das Vermögen der Duplexerschaltung bezüglich der Größe der Sendesignalleistung bedeutet, welche von der Duplexerschaltung gesendet werden kann) der Duplexerschaltung durch die folgende Gleichung ausgedrückt:

$$P = 2N^2(V_c + V_p)^2/Z_0 \quad (1).$$

In dieser Gleichung (1) ist V_p die Abschnürspannung ($<V$) des FET's (F_3 , F_3' und F_3'' bei der vorliegenden bevorzugten Ausführungsform), V_c ist eine Steuerspannung zum Steuern des Gates des FET's (F_3 , F_3' und F_3'' bei der vorliegenden bevorzugten Ausführungsform) in dem gesperrten Zustand, und N ist die Anzahl von Stufen der Serienverbindung der FET's (F_3 , F_3' und F_3'' bei der bevorzugten Ausführungsform) in dem gesperrten Zustand, wobei die Anzahl N bei der vorliegenden bevorzugten Ausführungsform auf $N = 3$ festgelegt wird. Des weiteren ist Z_0 die charakteristische Anpassung des Systems.

Aus Gleichung (1) ergibt sich, daß durch Erhöhen der Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand die übertragbare Leistung P des Sendesignals ansteigt. Es wird festgestellt, daß das Ansteigen der Anzahl N ein Ansteigen des Einfügevverlusts der FET's F_3 , F_3' und F_3'' während des Empfangs hervorruft, und daher wird der Wert der Anzahl N auf der Grundlage eines Kompromisses bestimmt.

Wie oben beschrieben kann bei der vierten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des in dem durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und der Einfügevverlust während der Sendung der Duplexerschaltung kann reduziert werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit der ersten bevorzugten Ausführungsform erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Obwohl die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand bei der oben beschriebenen vierten bevorzugten Ausführungsform auf $N = 3$ festgelegt ist, kann die Anzahl N auf die ganze Zahl 2 oder gleich oder größer als 4 festgelegt werden.

Fünfte bevorzugte Ausführungsform

Fig. 5 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer fünften bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Diese fünfte bevorzugte Ausführungsform ist eine Kombination der Merkmale der in Fig. 2 dargestellten zweiten bevorzugten Ausführungsform und der Merkmale der in Fig. 3 dargestellten dritten bevorzugten Ausführungsform. Die fünfte bevorzugte Ausführungsform ist dadurch charakterisiert, daß bei der zweiten bevorzugten Ausführungsform das Source und der Drain des FET's F_5 parallel mit dem Source bzw. dem Drain des FET's F_3 verbunden sind und das Gate des FET's F_5 über den Gatespannung anlegenden Widerstand R_{g5} mit dem Gatespannung anlegenden Anschluß 15 verbunden ist.

Bei der fünften bevorzugten Ausführungsform mit der oben beschriebenen Struktur kann durch Aufnahme des Verstärkers mit geerdetem Source, welcher der Kaskodenleistungsverstärker ist, von dem der FET F_2 mit geerdetem Gate und dessen periphere Schaltung entfernt sind, in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne 103 mit dem Empfänger 102 leichter erzielt werden.

Obwohl die zwei FET's F_3 und F_5 parallel miteinander bei der oben beschriebenen fünften bevorzugten Ausführungs-

form verbunden sind, ist die vorliegende Erfindung nicht darauf beschränkt, und eine Mehrzahl von FET's kann parallel mit dem FET F_3 verbunden sein.

Sechste bevorzugte Ausführungsform

5

Fig. 6 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer sechsten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die sechste bevorzugte Ausführungsform ist eine Kombination der Merkmale der in Fig. 2 dargestellten zweiten bevorzugten Ausführungsform und der Merkmale der in Fig. 4 dargestellten vierten bevorzugten Ausführungsform. Die sechste bevorzugte Ausführungsform ist dadurch charakterisiert, daß bei der in Fig. 2 dargestellten zweiten bevorzugten Ausführungsform eine durch die drei FET's F_3 , F_3' und F_3'' gebildete Serienverbindungsschaltung anstelle des FET's F_3 eingesetzt ist.

Wie oben beschrieben kann bei der sechsten bevorzugten Ausführungsform durch Aufnahme des Verstärkers mit geerdetem Source, welcher der Kaskodenverstärker ist, von welchem der FET F_2 mit geerdetem Gate und dessen periphere Schaltung entfernt sind, in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit denjenigen der ersten und zweiten bevorzugten Ausführungsform erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

20

Siebte bevorzugte Ausführungsform

Fig. 7 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer siebten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die siebte bevorzugte Ausführungsform ist eine Kombination der Merkmale der in Fig. 3 dargestellten dritten bevorzugten Ausführungsform und der Merkmale der in Fig. 4 dargestellten vierten bevorzugten Ausführungsform. Die siebte bevorzugte Ausführungsform ist dadurch charakterisiert, daß bei der in Fig. 3 dargestellten dritten bevorzugten Ausführungsform eine durch die drei FET's F_3 , F_3' und F_3'' gebildete Serienverbindungsschaltung anstelle des FET's F_3 eingesetzt ist und eine durch die drei FET's F_5 , F_5' und F_5'' gebildete Serienverbindungsschaltung anstelle des FET's F_5 eingesetzt ist.

Entsprechend Fig. 7 ist der Verbindungspunkt 4 mit dem Verbindungspunkt 6 über den Drain und das Source des FET's F_5 , den Drain und das Source des FET's F_5' und den Drain und das Source des FET's F_5'' verbunden, und die Gates der FET's F_5 , F_5' und F_5'' sind mit dem Gatespannung anlegenden Anschluß 15 über die Widerstände R_{g5} , $R_{g5'}$ und $R_{g5''}$ verbunden. Es wird festgestellt, daß die Widerstände R_{d5} , $R_{d5'}$ und $R_{d5''}$ die Widerstände sind, welche über dem Source und Drain zur Bereitstellung eines gleichen Potentials oder einer Spannung über den Source und Drain jedes der FET's F_5 , F_5' und F_5'' angeschlossen sind. Es wird festgestellt, daß die Serienverbindungsschaltung der drei FET's F_3 , F_3' und F_3'' auf eine ähnliche Weise wie bei der in Fig. 3 dargestellten dritten bevorzugten Ausführungsform gebildet sind.

Wie oben beschrieben kann bei der siebten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des in dem durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne 103 mit dem Empfänger 102 leichter erzielt werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit denjenigen der ersten bevorzugten Ausführungsform erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Obwohl parallele Verbindungen der zwei FET's F_3 und F_4 , der zwei FET's; F_3' und F_4' und der zwei FET's F_3'' und F_4'' bei der oben beschriebenen siebten bevorzugten Ausführungsform nicht begrenzt ist, kann eine Mehrzahl von FET's parallel zu den FET's F_3 , F_3' und F_3'' angeschlossen werden.

Achte bevorzugte Ausführungsform

Fig. 8 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer achten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die achte bevorzugte Ausführungsform ist dadurch charakterisiert, daß zwei Paare von in Fig. 1 dargestellten Sendezweigschaltungen enthalten sind und diese zwei Paare von ersten und zweiten Sendezweigschaltungen an dem Verbindungspunkt 4 angeschlossen sind. In diesem Fall ist den Bezugszeichen der jeweiligen Anschlüsse und der jeweiligen Elemente der ersten Sendezweigschaltung ein Suffix "a" angefügt, während ein Suffix "b" den Bezugszeichen der jeweiligen Anschlüsse und den jeweiligen Elementen der zweiten Sendezweigschaltung hinzugefügt ist. In diesem Fall ist ein Sender 101a mit einem Senderverbindungsanschluß 1a verbunden, und der Anschluß 1a ist mit dem Verbindungspunkt 4 über einen Kopplungskondensator C_{1a} , einen FET F_{1a} , einen FET F_{2a} , einen Verbindungspunkt 5a und eine Impedanzanpassungsspule L_{da} verbunden. Ein Sender 101b ist mit einem Senderverbindungsanschluß 1b verbunden, und der Anschluß 1b ist mit dem Verbindungspunkt 4 über einen Kopplungskondensator C_{1b} , einen FET F_{1b} , einen FET F_{2b} , einen Verbindungspunkt 5b und eine Impedanzanpassungsspule L_{db} verbunden.

Tabelle 6 stellt die Pull-up-Spannung V_{UP} und an die Gatespannung anlegenden Anschlüsse 11a, 11b, 12a, 12b, 13 und 14 anzulegenden Spannungen in der Sendebetriebsart und der Empfangsbetriebsart der Duplexerschaltung dar.

65

Tabelle 6

Achte bevorzugte Ausführungsform

	V_{UP}	V_{g1a}	V_{g2a}	V_{g3}	V_{g4}	V_{d2a}	
		V_{g1b}	V_{g2b}			V_{d2b}	5
Sendebetriebsart	V_{DD}	V_{ga}	V_{gb}	0 V	V_{DD}	V_{DD}	
Empfangsbe-	V_{DD}	V_{ga}	0 V	V_{DD}	0 V	V_{DD}	10
triebsart							

In der in Fig. 8 dargestellten Duplexerschaltung wird es zum Zwecke, lediglich den Sender 101a in den Sendezustand zu versetzen und denselben mit der Antenne 103 zu verbinden, bevorzugt, eine Gatespannung V_{gb} lediglich an den Anschluß 12a anzulegen und einen Anschluß 12b auf das Erdungspotential oder die Erdungsspannung zu legen. Zum Zwecke, lediglich den Sender 101b in den Sendezustand zu versetzen und denselben mit der Antenne 103 zu verbinden, wird es bevorzugt, eine Gatespannung V_{gb} lediglich an den Anschluß 12b anzulegen und den Anschluß 12a auf das Erdungspotential oder die Erdungsspannung zu legen. Mit dieser Anordnung können entweder der Sender 101a oder der Sender 101b selektiv in den Sendezustand umgeschaltet werden.

Wie oben beschrieben kann bei der achten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann durch Aufnahme der zwei Kaskodenleistungsverstärker in die Duplexerschaltung eine kompakte Duplexerschaltung bereitgestellt werden, welche auf ein System zweier unterschiedlicher Frequenzen wie beispielsweise bei einem sogenannten Dualbandempfänger angewandt werden kann.

Obwohl die zwei Sender 101a und 101b bei der achten bevorzugten Ausführungsform miteinander verbunden sind, ist die vorliegende Erfindung nicht darauf beschränkt, und es ist annehmbar drei oder mehr Paare von in Fig. 1 dargestellten Sendezweigschaltungen bereitzustellen und diese in einer Mehrzahl vorkommenden Paare von Sendezweigschaltungen mit dem Verbindungspunkt 4 zu verbinden.

Neunte bevorzugte Ausführungsform

Fig. 9 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer neunten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die neunte bevorzugte Ausführungsform ist eine Kombination der Merkmale der in Fig. 8 dargestellten achten bevorzugten Ausführungsform und der Merkmale der in Fig. 3 dargestellten dritten bevorzugten Ausführungsform. Die neunte bevorzugte Ausführungsform ist dadurch charakterisiert, daß bei der achten bevorzugten Ausführungsform das Source und der Drain des FET's F_5 parallel mit dem Source und Drain des FET's F_3 verbunden sind und das Gate des FET's F_5 über den Gatespannung anlegenden Widerstand R_{g5} mit dem Gatespannung anlegenden Anschluß 15 verbunden sind.

Wie oben beschrieben kann bei der neunten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann durch Aufnahme der zwei Kaskodenleistungsverstärker in die Duplexerschaltung eine kompakte Duplexerschaltung bereitgestellt werden, welche für ein System zweier unterschiedlicher Frequenzen ähnlich wie beispielsweise bei dem sogenannten Dualbandempfänger verwendet werden. Des weiteren kann die Impedanzanpassung der Antenne 103 an den Empfänger 102 einfacher erzielt werden.

Obwohl zwei Sender 101a und 101b bei der neunten bevorzugten Ausführungsform verbunden sind, ist die vorliegende Erfindung nicht darauf beschränkt, und es ist annehmbar, drei oder mehr von Paaren von in Fig. 1 dargestellten Sendezweigschaltungen bereitzustellen und diese in einer Mehrzahl vorkommenden Paare von Sendezweigschaltungen mit Verbindungspunkt 4 zu verbinden.

Zehnte bevorzugte Ausführungsform

Fig. 10 zeigt ein Schaltungsdiagramm, welches eine Struktur einer Duplexerschaltung einer zehnten bevorzugten Ausführungsform der vorliegenden Erfindung darstellt. Die zehnte bevorzugte Ausführungsform ist eine Kombination der Merkmale der in Fig. 8 dargestellten achten bevorzugten Ausführungsform und der Merkmale der in Fig. 4 dargestellten vierten bevorzugten Ausführungsform. Die zehnte bevorzugte Ausführungsform ist dadurch charakterisiert, daß bei der achten bevorzugten Ausführungsform eine durch die drei FET's F_3 , F_3' und F_3'' gebildete Serienverbindungsschaltung anstelle des FET's F_3 eingesetzt ist. In diesem Fall ist der Verbindungspunkt 4 mit dem Verbindungspunkt 6 über den Drain und das Source des FET's F_3 , den Drain und das Source des FET's F_3' und den Drain und das Source des FET's F_3'' verbunden, und des weiteren sind die Gates der FET's F_3 , F_3' und F_3'' mit dem Gatespannung anlegenden Anschluß 13 über die Widerstände R_{g3} , $R_{g3'}$ bzw. $R_{g3''}$ verbunden. Es wird festgestellt, daß die Widerstände R_{d3} , $R_{d3'}$ und $R_{d3''}$ Widerstände sind, welche über dem Source und Drain zur Bereitstellung eines gleichen Potential s oder Spannung über dem Source und Drain jedes der FET's F_3 , F_3' und F_3'' angeschlossen sind.

Wie oben beschrieben kann bei der zehnten bevorzugten Ausführungsform durch Aufnahme des Kaskodenleistungs-

verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann durch Aufnahme der zwei Kaskodenleistungsv Verstärker in die Duplexerschaltung eine komplexe Duplexerschaltung bereitgestellt werden, welche auf ein System zweier unterschiedlicher Frequenzen ähnlich wie beispielsweise bei dem sogenannten Dualbandempfänger angewandt werden kann. Da des weiteren die Anzahl N von Stufen der Serienverbindungsschaltung der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit derjenigen der ersten bevorzugten Ausführungsform erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Obwohl die zwei Sender 101a und 101b bei der oben beschriebenen neunten bevorzugten Ausführungsform miteinander verbunden sind, ist die vorliegende Erfindung nicht darauf beschränkt, und es ist annehmbar, drei oder mehr paare von in Fig. 1 dargestellten Sendezweigschaltungen bereitzustellen und die in der Mehrzahl vorkommenden Paare von Sendezweigschaltungen mit dem Verbindungspunkt 4 zu verbinden.

Wie oben beschrieben kann bei der Duplexerschaltung des ersten und zweiten Gesichtspunkts der Erfindung durch Aufnahme des Kaskodenleistungsv Verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden.

Des weiteren enthält bei der Duplexerschaltung des ersten Gesichtspunkts der Erfindung die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Kaskodenleistungsv Verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße jedes durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erhaltenen Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne an den Empfänger leichter erzielt werden.

Des weiteren enthält bei der Duplexerschaltung des ersten Gesichtspunkts der Erfindung die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche in Serie miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Kaskodenleistungsv Verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit derjenigen des ersten Gesichtspunkts der Erfindung erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Des weiteren enthält bei der Duplexerschaltung des zweiten Gesichtspunkts der Erfindung die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Verstärkers mit geerdetem Source in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne an den Empfänger leichter erzielt werden.

Des weiteren enthält bei der Duplexerschaltung des zweiten Gesichtspunkts der Erfindung die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche in Serie miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Verstärkers mit geerdetem Source in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit derjenigen des ersten und zweiten Gesichtspunkts der Erfindung erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Des weiteren enthält bei der Duplexerschaltung des ersten Gesichtspunkts der Erfindung die zweite Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel und in Serie miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Kaskodenleistungsv Verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers und der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Duplexerschaltung reduziert werden. Des weiteren kann die Impedanzanpassung der Antenne an den Empfänger leichter erzielt werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit derjenigen des ersten Gesichtspunkts der Erfindung erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Des weiteren kann bei der Duplexerschaltung des dritten Gesichtspunkts der Erfindung durch Aufnahme des Kaskodenleistungsv Verstärkers in die Serienverbindungsschaltung der Duplexerschaltung die Chipgröße des durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann durch Aufnahme der zwei Kaskodenleistungsv Verstärker in die Duplexerschaltung eine komplexere Duplexerschaltung bereitgestellt werden, welche ein System zweier unterschiedlicher Frequenzen ähnlich wie bei dem Beispiel der sogenannten Dualbandvorrichtung angewandt werden kann.

Des weiteren enthält bei der Duplexerschaltung des dritten Gesichtspunkts der vorliegenden Erfindung die dritte Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche parallel miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Kaskodenleistungsv Verstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße in dem durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann

durch Aufnahme der zwei Kaskodenleistungsverstärker in die Duplexerschaltung eine kompakte Duplexerschaltung bereitgestellt werden, welche auf ein System zweier unterschiedlicher Frequenzen ähnlich wie beispielsweise bei dem sogenannten Dualbandempfänger angewandt werden kann. Des weiteren kann die Impedanzanpassung der Antenne an den Empfänger leichter erzielt werden.

Des weiteren enthält bei der Duplexerschaltung des dritten Gesichtspunkts der Erfindung die dritte Umschalteschaltung vorzugsweise eine Mehrzahl von FET's, welche in Serie miteinander verbunden sind und jeweils während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden bzw. sind. Dementsprechend kann durch Aufnahme des Kaskodenleistungsverstärkers in die Sendezweigschaltung der Duplexerschaltung die Chipgröße in dem durch Integrieren des Leistungsverstärkers mit der Duplexerschaltung erlangten Chips spürbar reduziert werden, und es kann der Einfügungsverlust während der Sendung der Duplexerschaltung reduziert werden. Des weiteren kann durch Aufnahme der zwei Kaskodenleistungsverstärker in die Duplexerschaltung eine komplexe Duplexerschaltung bereitgestellt werden, welche auf ein System zweier unterschiedlicher Frequenzen ähnlich wie bei dem sogenannten Dualbandempfänger angewandt werden. Da des weiteren die Anzahl N von Stufen der Serienverbindung der FET's in dem gesperrten Zustand im Vergleich mit derjenigen des ersten Gesichtspunkts der Erfindung erhöht ist, kann die übertragbare Leistung P des Sendesignals erhöht werden.

Vorstehend wurde eine im Vergleich mit dem Stand der Technik komplexe Duplexerschaltungsvorrichtung offenbart. Die Duplexerschaltungsvorrichtung enthält (a) eine Sendezweigschaltung, welche eine Umschalteschaltung enthält, die zwischen einem Sender und einer Antenne angeschlossen ist und während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist und (b) eine Empfangszweigschaltung, welche eine zweite Umschalteschaltung enthält, die zwischen einem Empfänger und der Antenne angeschlossen ist und während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist. Bei der Duplexerschaltungsvorrichtung ist entweder der Sender oder der Empfänger selektiv an die Antenne angeschlossen, und die Sendezweigschaltung enthält einen Kaskodenverstärker und eine Impedanzanpassungsspule, welche zwischen dem Kaskodenverstärker und der Antenne angeschlossen ist. In diesem Fall kann der Kaskodenverstärker durch einen Verstärker mit geerdetem Source ersetzt werden, welcher lediglich durch den FET gebildet wird.

Patentansprüche

1. Duplexerschaltungsvorrichtung mit:

einer Sendezweigschaltung, welche zwischen einem Sender (101) und einer Antenne (103) angeschlossen ist, wobei die Sendezweigschaltung eine erste Umschalteschaltung (F_1, F_2) enthält, welche während der Sendung eingeschaltet ist und während des Empfangs ausgeschaltet ist; und einer Empfangszweigschaltung, welche zwischen einem Empfänger (102) und der Antenne (103) angeschlossen ist, wobei die Empfangszweigschaltung eine zweite Umschalteschaltung (F_3, F_4) enthält, welche während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist, wobei entweder der Sender (101) oder der Empfänger (102) selektiv an die Antenne (103) angeschlossen ist, wobei die Sendezweigschaltung:

einen Kaskodenleistungsverstärker (F_1, F_2); und

eine Impedanzanpassungsspule (L_d) aufweist, welche zwischen dem Kaskodenleistungsverstärker (F_1, F_2) und der Antenne (103) angeschlossen ist.

2. Duplexerschaltungsvorrichtung mit:

einer Sendezweigschaltung, die zwischen einem Sender (101) und einer Antenne (103) angeschlossen ist, wobei die Sendezweigschaltung eine erste Umschalteschaltung (F_1, F_2) enthält, welche während der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und

einer Empfangszweigschaltung, welche zwischen einem Empfänger (102) und der Antenne (103) angeschlossen ist, wobei die Empfangszweigschaltung eine zweite Umschalteschaltung (F_3, F_4) enthält, welche während der Sendung ausgeschaltet und während des Empfangs eingeschaltet ist,

wobei entweder der Sender (101) oder der Empfänger (102) selektiv an die Antenne (103) angeschlossen ist,

wobei die Sendezweigschaltung:

einen Verstärker (F_1) mit geerdetem Source; und

eine Impedanzanpassungsspule (L_d) aufweist, welche zwischen dem Verstärker (F_1) mit geerdetem Source und der Antenne (103) angeschlossen ist.

3. Duplexerschaltungsvorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Umschalteschaltung (F_3, F_4) eine Mehrzahl von FET's aufweist, welche parallel miteinander verbunden sind, und jeder der FET's derart betrieben, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

4. Duplexerschaltungsvorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Umschalteschaltung (F_3, F_4) eine Mehrzahl von FET's aufweist, welche in Serie miteinander verbunden sind, und jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

5. Duplexerschaltungsvorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die zweite Umschalteschaltung (F_3, F_4) eine Mehrzahl von FET's aufweist, welche parallel miteinander verbunden sind, und jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

6. Duplexerschaltungsvorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die zweite Umschalteschaltung (F_3, F_4) eine Mehrzahl von FET's aufweist, welche in Serie miteinander verbunden sind, und jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

7. Duplexerschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Umschalteschaltung (F_3, F_4) eine Mehrzahl von FET's aufweist, welche parallel und in Serie miteinander verbunden sind, und jeder der FET's derart betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

8. Duplexerschaltungsvorrichtung zum selektiven Verbinden entweder eines ersten oder zweiten Senders (101a,

101b) oder eines Empfängers (102) mit einer Antenne (103), mit:
 einer ersten Sendezweigschaltung, welche zwischen dem ersten Sender (101a) und der Antenne (103) angeschlos-
 sen ist, wobei die erste Sendezweigschaltung eine erste Umschalteschaltung (F_1, F_2) enthält, welche während der
 5 Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und
 einer zweiten Sendezweigschaltung, welche zwischen dem zweiten Sender (101b) und der Antenne (103) ange-
 schlossen ist, wobei die zweite Sendezweigschaltung eine zweite Umschalteschaltung (F_3, F_4) enthält, welche wäh-
 rend der Sendung eingeschaltet und während des Empfangs ausgeschaltet ist; und
 einer Empfangszweigschaltung, welche zwischen dem Empfänger (102) und der Antenne (103) angeschlossen ist,
 10 wobei die Empfangszweigschaltung eine dritte Umschalteschaltung (F_3, F_4) enthält, welche während der Sendung
 ausgeschaltet und während des Empfangs eingeschaltet ist, wobei jede der ersten und zweiten Sendezweigschaltun-
 gen:
 einen Kaskodenleistungsverstärker ($F_{1a}, F_{2a}, F_{1b}, F_{2b}$); und
 eine Impedanzanpassungspule (I_{da}, I_{db}) aufweist, welche zwischen dem Kaskodenleistungsverstärker ($F_{1a}, F_{2a},$
 15 F_{1b}, F_{2b}) und der Antenne (103) angeschlossen ist.

9. Duplexerschaltungsvorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die dritte Umschalteschaltung
 (F_3, F_4) eine Mehrzahl von FET's aufweist, welche parallel miteinander verbunden sind, und die FET's derart betrie-
 ben werden, daß sie während der Sendung ausgeschaltet und während des Empfangs eingeschaltet werden.

10. Duplexerschaltungsvorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die dritte Umschalteschaltung
 (F_3, F_4) eine Mehrzahl von FET's aufweist, welche in Serie miteinander verbunden sind, und jeder der FET's derart
 20 betrieben wird, daß er während der Sendung ausgeschaltet und während des Empfangs eingeschaltet wird.

Hierzu 12 Seite(n) Zeichnungen

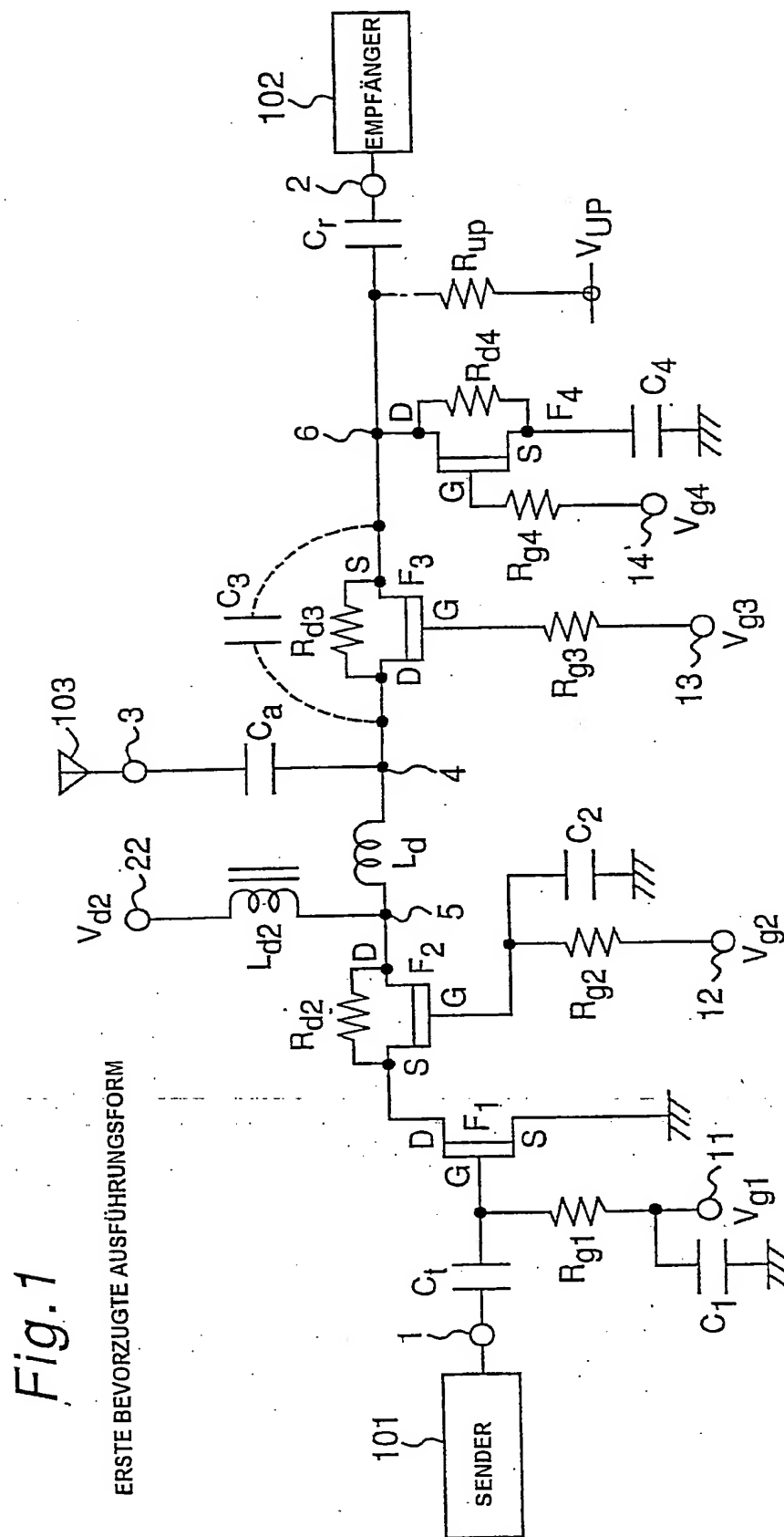
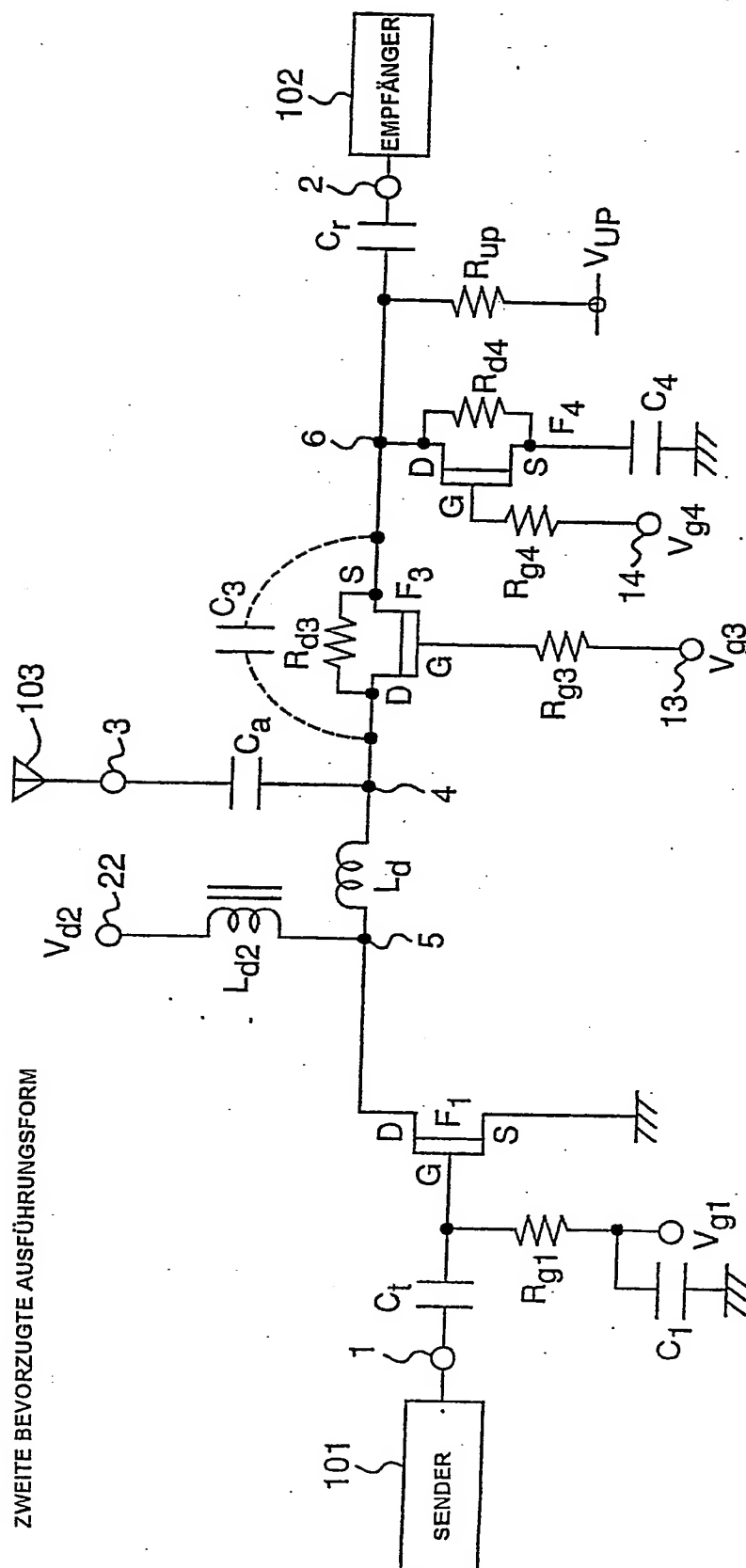


Fig. 2

ZWEITE BEVORZUGTE AUSFÜHRUNGSFORM



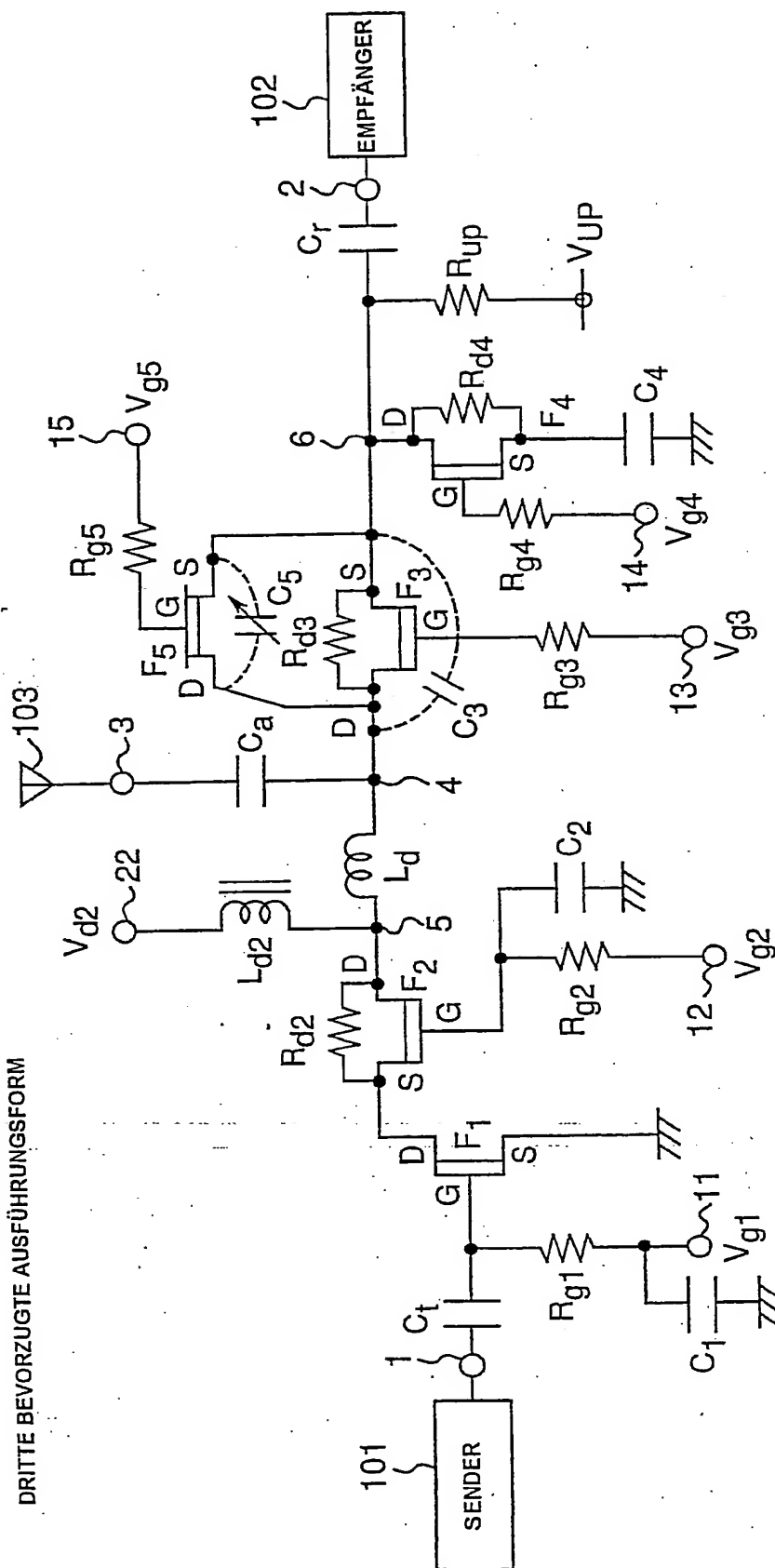


Fig. 3

DRITTE BEVORZUGTE AUSFÜHRUNGSFORM

Fig. 4

VIERTE BEVORZUGTE AUSFÜHRUNGSFORM

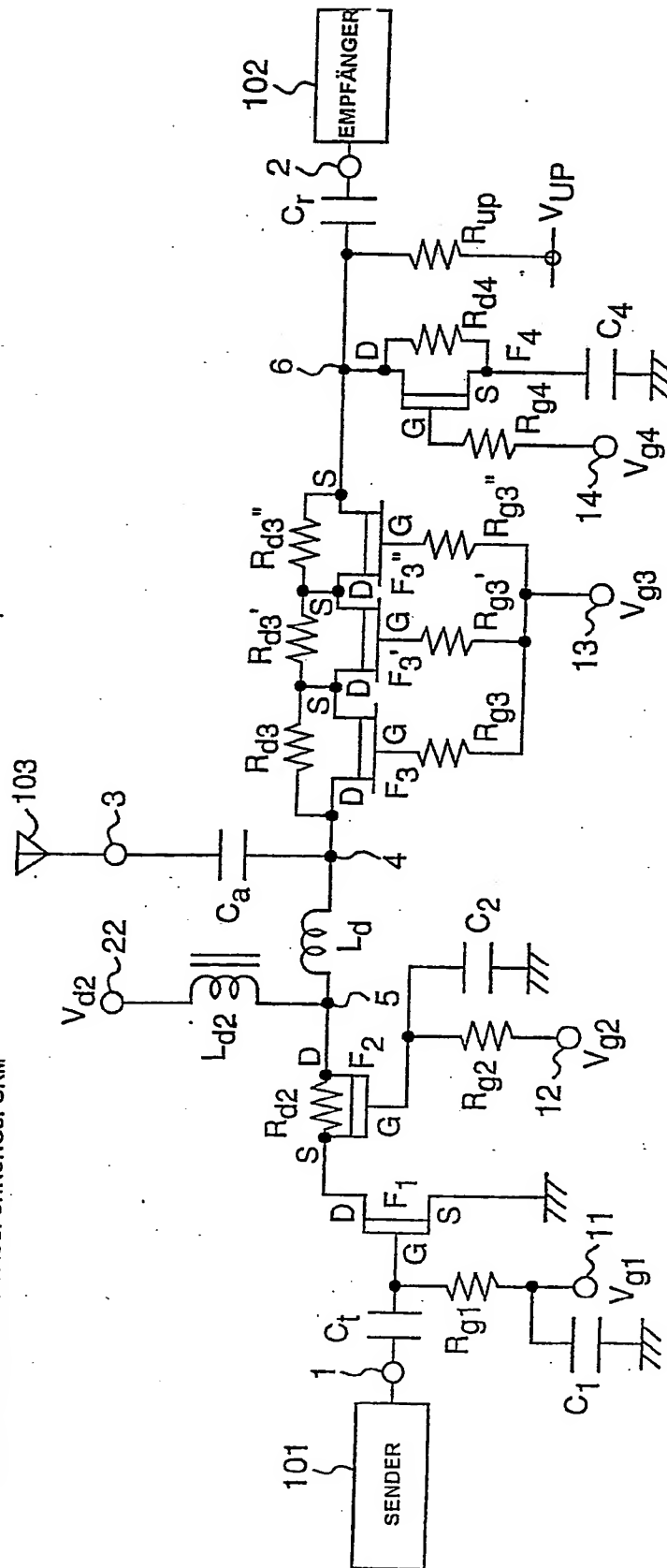


Fig. 5

FÜNFTE BEVORZUGTE AUSFÜHRUNGSFORM

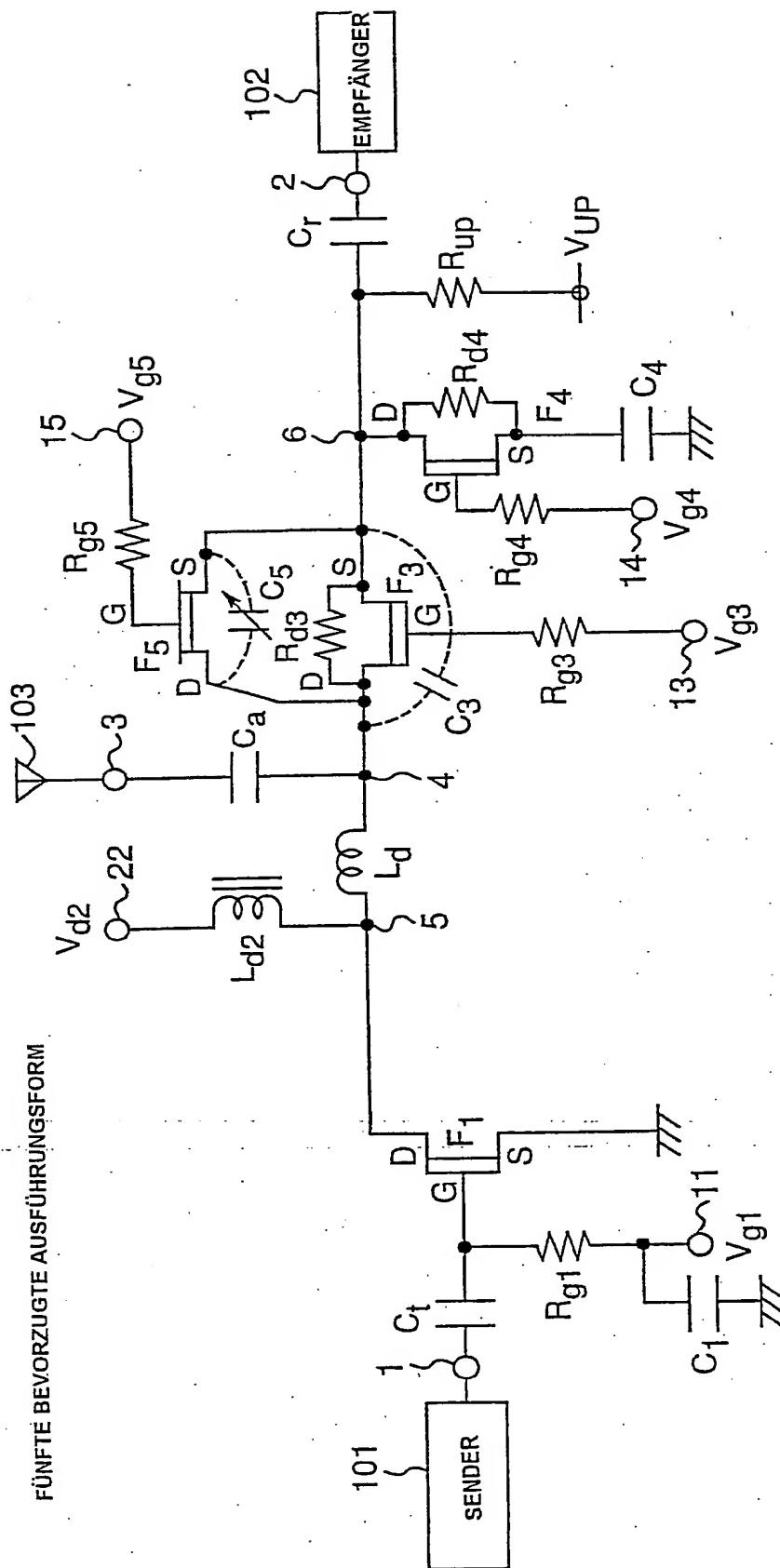


Fig. 6

SECHSTE BEVORZUGTE AUSFÜHRUNGSFORM

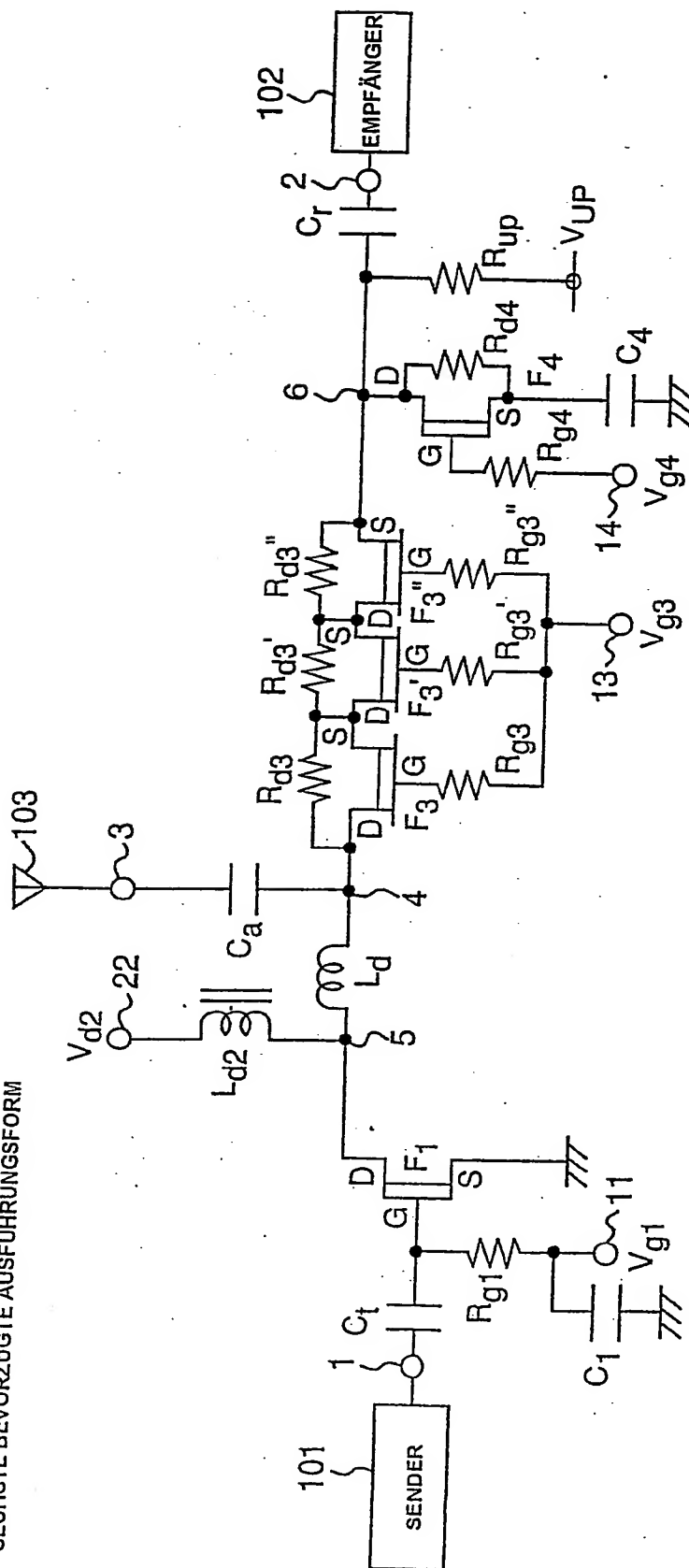


Fig. 7

SIEBTE BEVORZUGTE AUSFÜHRUNGSFORM

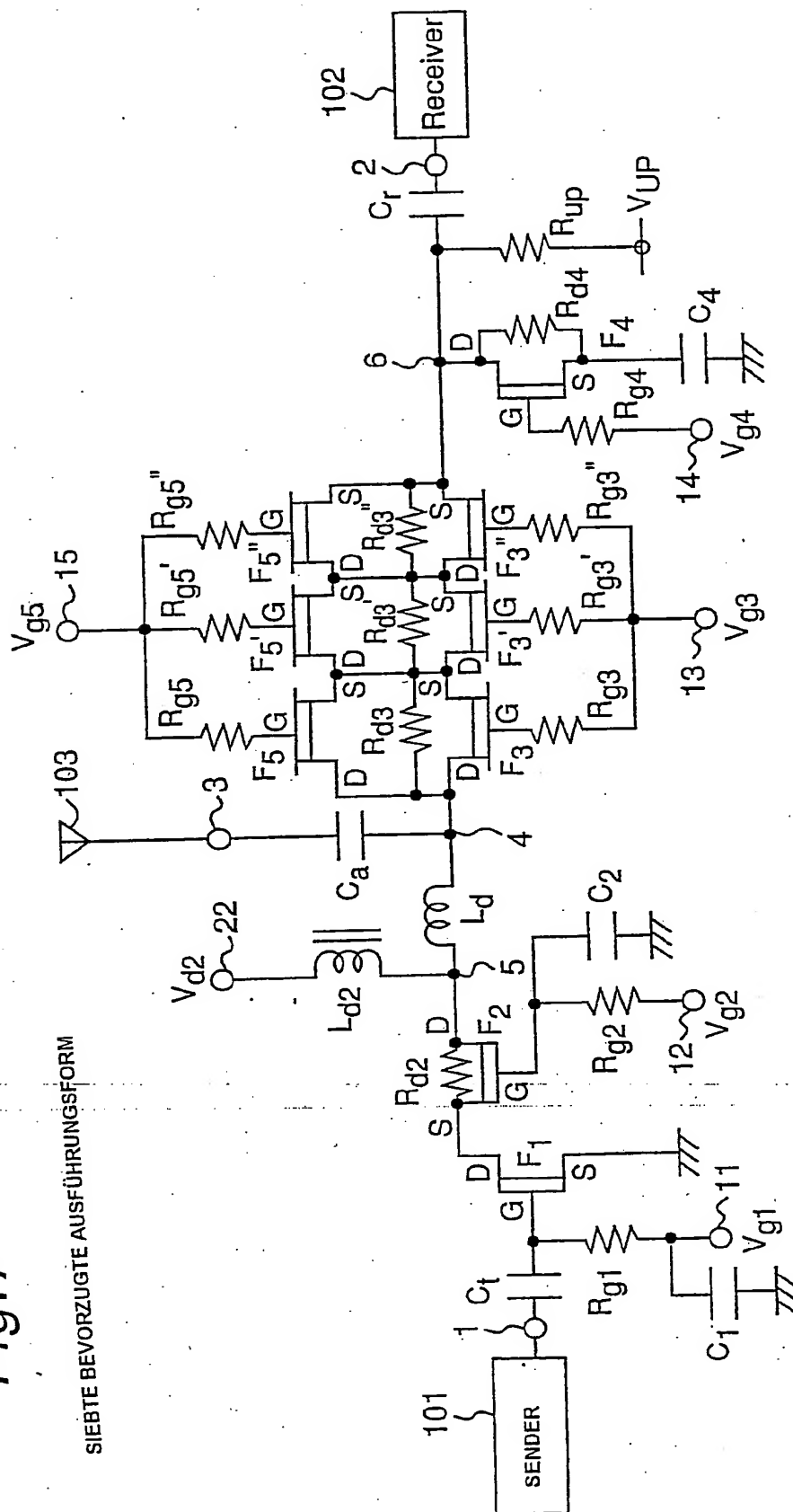


Fig. 8

ACHTE BEVORZUGTE AUSFÜHRUNGSFORM

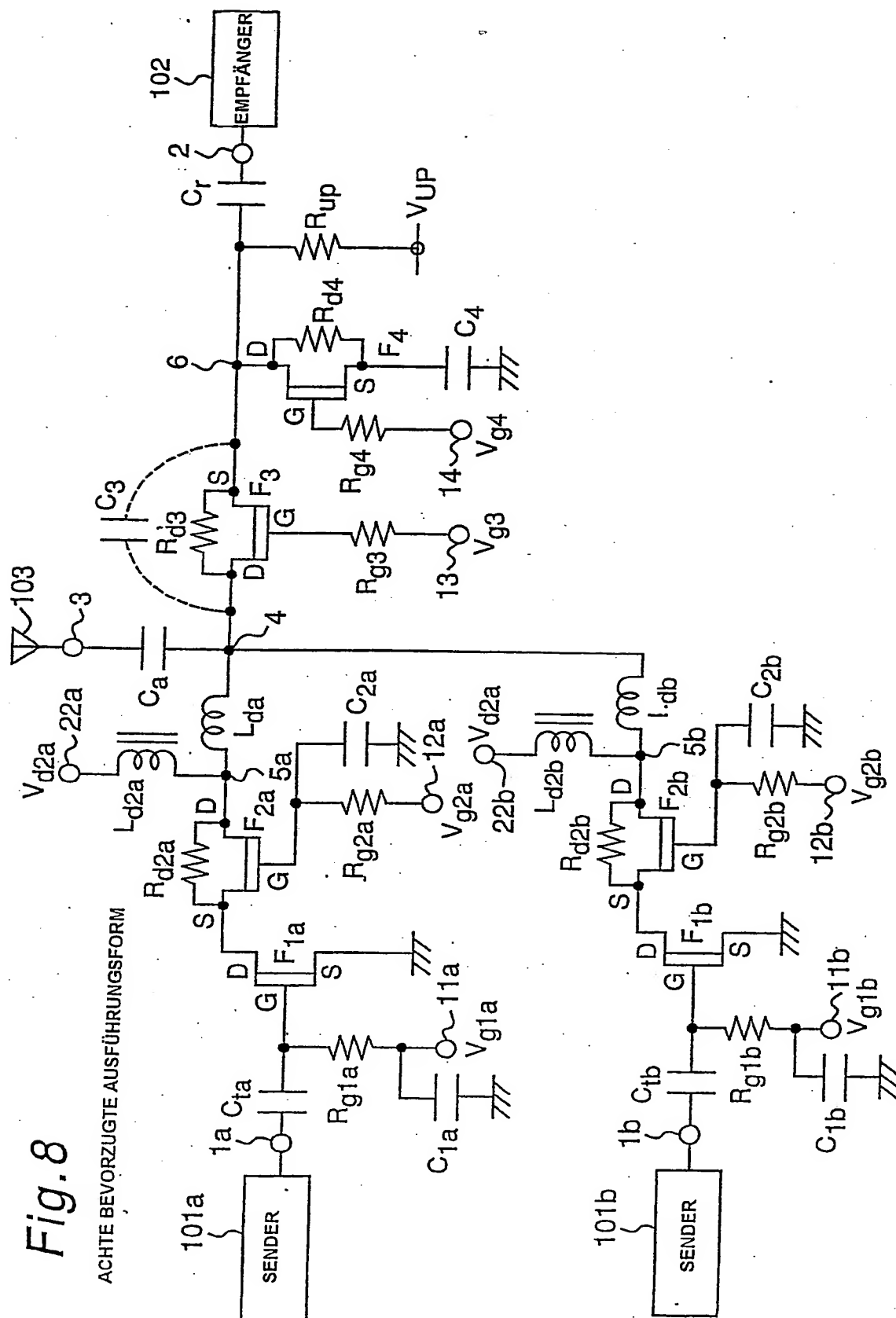


Fig. 10

ZEHNTE BEVORZUGTE AUSFÜHRUNGSFORM

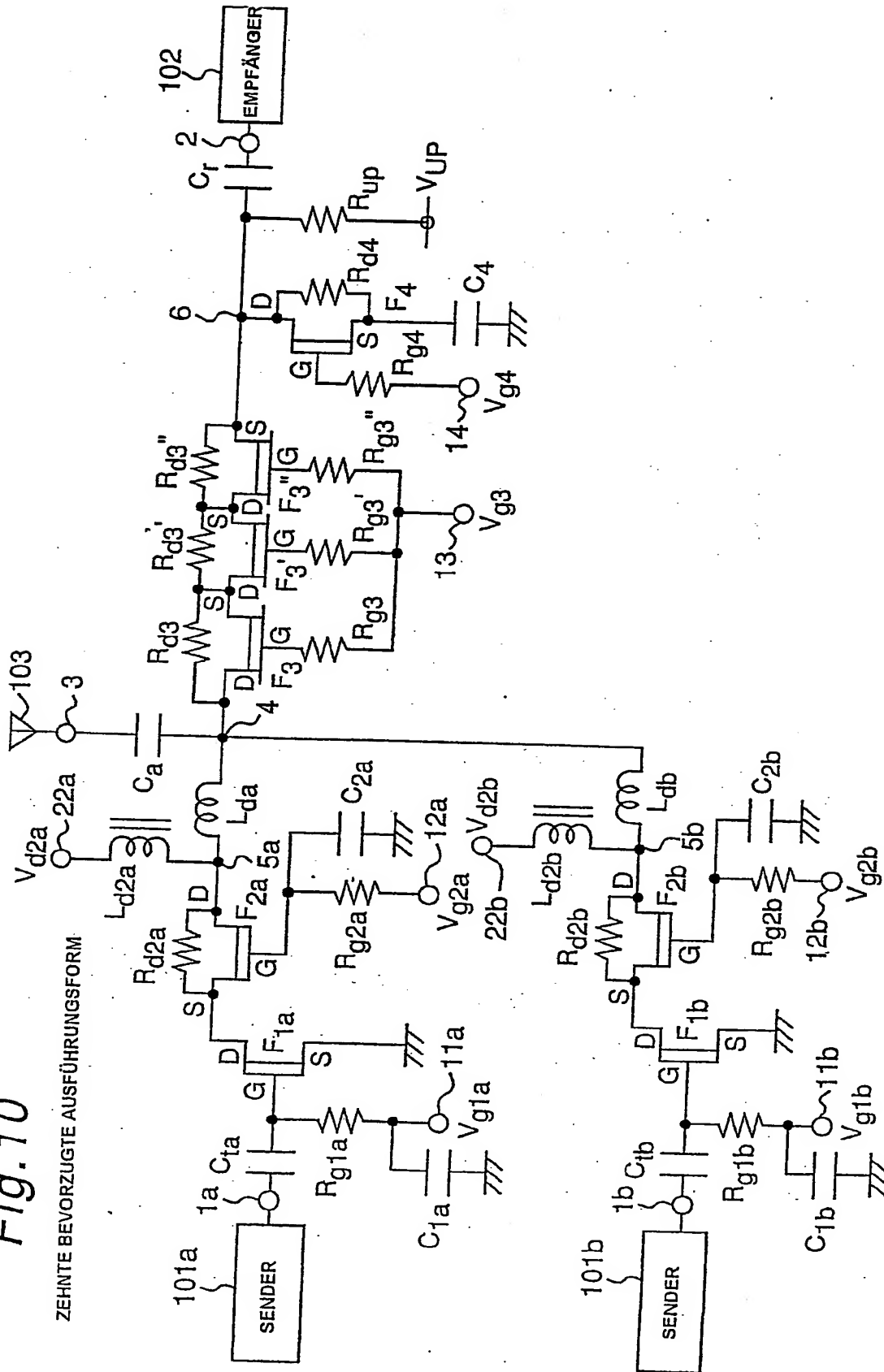


Fig. 11 STAND DER TECHNIK

ERSTER BEKANNTER STAND DER TECHNIK

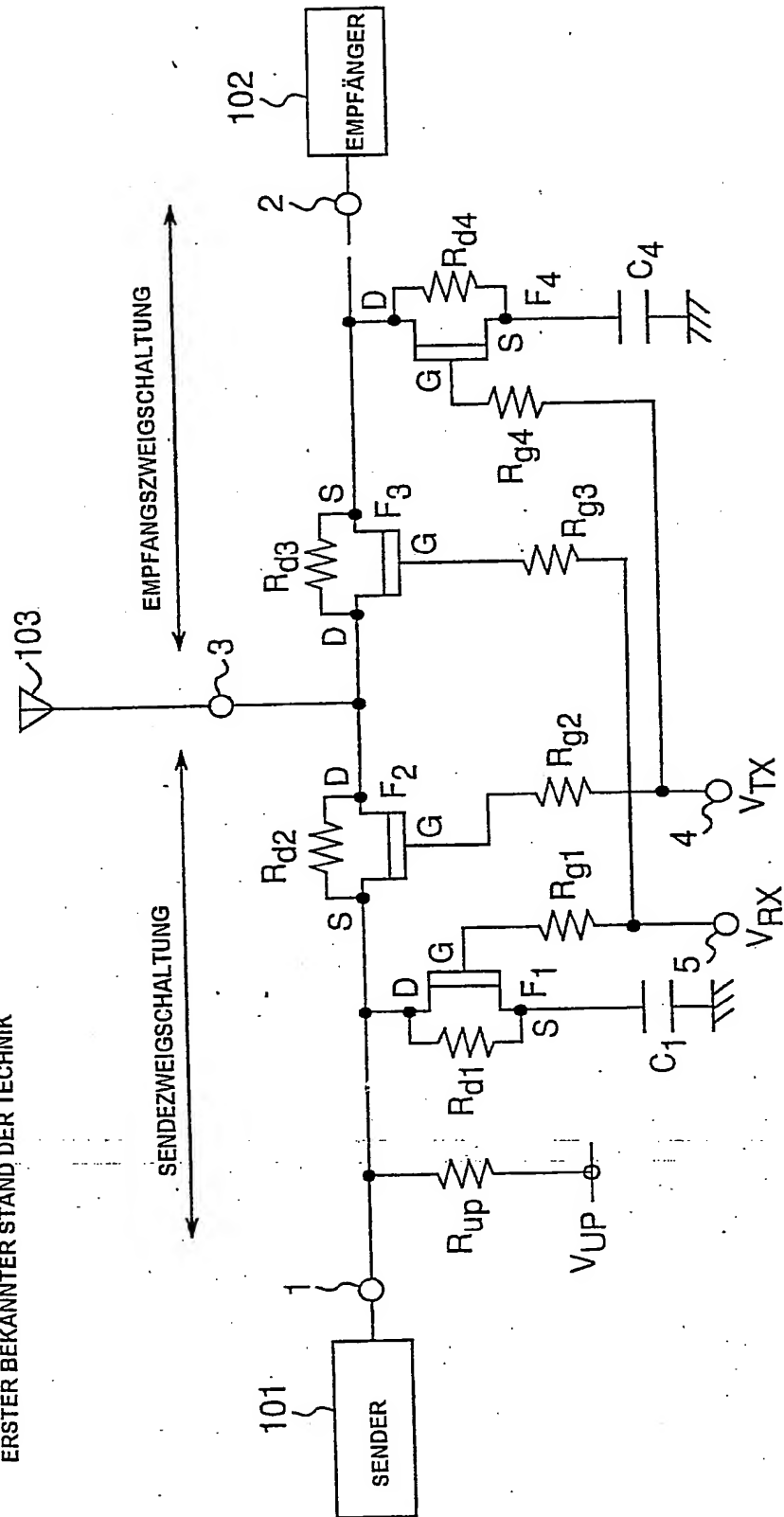


Fig. 12 STAND DER TECHNIK

ZWEITER BEKANNTER STAND DER TECHNIK

